

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-102538

(P2001-102538A)

(43)公開日 平成13年4月13日 (2001.4.13)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	マークコード(参考)
H 01 L 27/10	4 5 1	H 01 L 27/10	4 5 1 5 F 0 0 1
27/108			6 5 1 5 F 0 8 3
21/8242		29/78	3 7 1 5 F 1 0 1
21/8247			
29/788			

審査請求 未請求 請求項の数15 OL (全14頁) 最終頁に続く

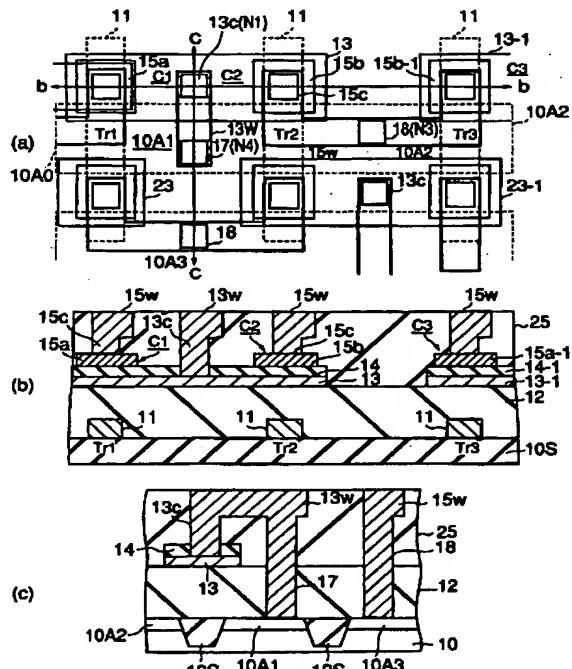
(21)出願番号	特願平11-273220	(71)出願人	000003078
(22)出願日	平成11年9月27日 (1999.9.27)	株式会社東芝	神奈川県川崎市幸区堀川町72番地
		(72)発明者	尾崎徹 神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内
		(74)代理人	100058479 弁理士 鈴江武彦 (外6名)
		F ターム(参考)	5F001 AA17 AD52 AD60 AG09 5F083 AD21 AD49 FR02 JA36 KA17 MA01 MA06 MA17 MA18 MA20 PR29 PR38 PR40 5F101 BA62 BD33 BD35 BH23

(54)【発明の名称】 半導体記憶装置および製造方法

(57)【要約】

【課題】微細化に適した構成を有し、コンタクト部での配線の段切れ、強誘電体膜の露出などによる素子間の接続不良やショート、或いは強誘電体キャバシタの特性不良などの不都合が生じることを防止でき、製品の歩留まりも良好な半導体記憶装置とその製造方法を提供することを目的とする。

【解決手段】強誘電体キャバシタC1、C2の電極コンタクト穴13ch、15chおよびトランジスタTr1、Tr2、Tr3のソースドレインコンタクト穴17h、18hを形成し、前後して配線溝13wh、15whも形成し、これらのコンタクト穴および配線溝を一度にメタル堆積により埋めて一体化した導電部を形成する。



1

## 【特許請求の範囲】

【請求項1】 半導体基板上に形成され互いに電流経路が直列に接続された複数のトランジスタと、前記複数のトランジスタに夫々並列接続され、対応して形成されたトランジスタの上層に形成された下部電極と、この下部電極上に形成された強誘電体膜と、この強誘電体膜の上に形成された上部電極とを有してなる複数の強誘電体キャパシタと、前記上部電極に接続された上部電極コンタクトと、前記下部電極に接続された下部電極コンタクトと、前記トランジスタのソース、ドレイン領域に夫々接続された第1、第2のコンタクトと、前記上部電極コンタクトと前記第1のコンタクトとを接続する第1の配線と、前記下部電極コンタクトと前記第2のコンタクトとを接続する第2の配線とを有し、前記第1の配線は前記上部電極コンタクトと前記第1のコンタクトとが切れ目なく一体に形成された配線構造を有することを特徴とする半導体記憶装置。

【請求項2】 半導体基板上に形成され互いに電流経路が直列に接続された複数のトランジスタと、前記複数のトランジスタに夫々並列接続され、対応して形成されたトランジスタの上層に形成された下部電極と、この下部電極上に形成された強誘電体膜と、この強誘電体膜の上に形成された上部電極とを有してなる複数の強誘電体キャパシタと、前記上部電極に接続された上部電極コンタクトと、前記下部電極に接続された下部電極コンタクトと、前記トランジスタのソース、ドレイン領域に夫々接続された第1、第2のコンタクトと、前記上部電極コンタクトと前記第1のコンタクトとを接続する第1の配線と、前記下部電極コンタクトと前記第2のコンタクトとを接続する第2の配線とを有し、前記第2の配線は前記下部電極コンタクトと前記第2のコンタクトとが切れ目なく一体に形成された配線構造を有することを特徴とする半導体記憶装置。

【請求項3】 半導体基板上に形成され互いに電流経路が直列に接続された複数のトランジスタと、前記複数のトランジスタに夫々並列接続され、対応して形成されたトランジスタの上層に形成された下部電極と、この下部電極上に形成された強誘電体膜と、この強誘電体膜の上に形成された上部電極とを有してなる複数の強誘電体キャパシタと、前記上部電極に接続された上部電極コンタクトと、前記下部電極に接続された下部電極コンタクトと、前記トランジスタのソース、ドレイン領域に夫々接続された第1、第2のコンタクトと、前記上部電極コンタクトと前記第1のコンタクトとを接続する第1の配線と、

2

前記下部電極コンタクトと前記第2のコンタクトとを接続する第2の配線とを有し、

前記第1、第2の配線は前記上部電極コンタクトと前記第1コンタクト、および前記下部電極コンタクトと前記第2コンタクトとが夫々切れ目なく一体に形成された配線構造を有することを特徴とする半導体記憶装置。

【請求項4】 半導体基板上に形成され互いにソースドレイン領域を共有して直列に接続された少なくとも第1、第2のトランジスタと、

前記第1、第2のトランジスタに夫々並列接続され、前記第1、第2トランジスタの上層に形成された共通下部電極と、この共通下部電極上に形成された共通強誘電体膜と、この共通強誘電体膜の上に形成され前記第1、第2の強誘電体キャパシタに対応して形成された第1、第2の上部電極とを有してなる第1、第2の強誘電体キャパシタと、

前記第1、第2の上部電極に夫々接続された第1、第2の上部電極コンタクトと、

前記共通下部電極に接続された共通下部電極コンタクトと、

前記第1、第2トランジスタが共有する一方のソースドレイン領域に接続された第1のコンタクトと、前記第1、第2のトランジスタの夫々の他方のソースドレイン領域に接続された第2、第3のコンタクトと、前記共通下部電極コンタクトと前記第1のコンタクトとを接続する第1の配線と、

前記第2、第3のコンタクトと前記第1、第2の上部電極コンタクトとを接続する第2、第3の配線とを有し、前記第1の配線は前記共通下部電極コンタクトと第1のコンタクトとが切れ目なく一体に形成された配線構造を有することを特徴とする半導体記憶装置。

【請求項5】 半導体基板上に形成され互いにソースドレイン領域を共有して直列に接続された少なくとも第1、第2のトランジスタと、

前記第1、第2のトランジスタに夫々並列接続され、前記第1、第2トランジスタの上層に形成された共通下部電極と、この共通下部電極上に形成された共通強誘電体膜と、この共通強誘電体膜の上に形成され前記第1、第2の強誘電体キャパシタに対応して形成された第1、第2の上部電極とを有してなる第1、第2の強誘電体キャパシタと、

前記第1、第2の上部電極に夫々接続された第1、第2の上部電極コンタクトと、

前記共通下部電極に接続された共通下部電極コンタクトと、

前記第1、第2トランジスタが共有する一方のソースドレイン領域に接続された第1のコンタクトと、

前記第1、第2のトランジスタの夫々の他方のソースドレイン領域に接続された第2、第3のコンタクトと、

前記共通下部電極コンタクトと前記第1のコンタクトと

を接続する第1の配線と、  
前記第2、第3のコンタクトと前記第1、第2の上部電極コンタクトとを接続する第2、第3の配線とを有し、  
前記第2、第3の配線は夫々対応する第1、第2の上部電極コンタクトと第2、第3のコンタクトとが切れ目なく一体に形成された配線構造を有することを特徴とする半導体記憶装置。

【請求項6】 半導体基板上に形成され互いにソースドレイン領域を共有して直列に接続された少なくとも第1、第2のトランジスタと、

前記第1、第2のトランジスタに夫々並列接続され、前記第1、第2トランジスタの上層に形成された共通下部電極と、この共通下部電極上に形成された共通強誘電体膜と、この共通強誘電体膜の上に形成され前記第1、第2の強誘電体キャパシタに対応して形成された第1、第2の上部電極とを有してなる第1、第2の強誘電体キャパシタと、

前記第1、第2の上部電極に夫々接続された第1、第2の上部電極コンタクトと、

前記共通下部電極に接続された共通下部電極コンタクトと、

前記第1、第2トランジスタが共有するソースドレイン領域に接続された第1のコンタクトと、

前記第1、第2のトランジスタの夫々の他方のソースドレイン領域に接続された第2、第3のコンタクトと、  
前記共通下部電極コンタクトと前記第1のコンタクトとを接続する第1の配線と、

前記第2、第3のコンタクトと前記第1、第2の上部電極コンタクトとを接続する第2、第3の配線とを有し、  
前記第1乃至第3の配線は夫々対応する電極コンタクトおよび第1乃至第3のコンタクトと切れ目なく一体に形成された配線構造を有することを特徴とする半導体記憶装置。

【請求項7】 一導電型半導体基板上に形成された複数のトランジスタと、

前記トランジスタの上層に形成され、隣接する2個のトランジスタに対して共通の1個の下部電極と、前記下部電極上に強誘電体薄膜を介して形成された2個の上部電極とでなる2個を1単位とする複数の強誘電体キャパシタと、

前記トランジスタ1個につき1個の強誘電体キャパシタを対応させて、前記トランジスタのソースドレイン領域の一方に前記強誘電体キャパシタの下部電極を、他方には上部電極を接続させて形成された複数の直列接続の単位メモリセルと、

前記上部電極上に夫々開口された2個の上部電極コンタクトと、

前記下部電極上で前記2つの上部電極に挟まれた部位に形成された下部電極コンタクトと、

前記トランジスタのソース、ドレン上に夫々形成され

たソース、ドレンコンタクトと、

前記上部電極コンタクトおよび前記ソース、ドレンコンタクトを接続するように夫々形成された配線溝と、  
前記配線溝および前記各コンタクト内に切れ目なく一体形成された電極構体と、を具備することを特徴とする半導体記憶装置。

【請求項8】 一導電型半導体基板上に形成された複数のトランジスタと、

前記トランジスタの上層に形成され、隣接する2個のトランジスタに対して共通の1個の下部電極と、前記下部電極上に強誘電体薄膜を介して形成された2個の上部電極とでなる2個を1単位とする複数の強誘電体キャパシタと、

前記トランジスタ1個につき1個の強誘電体キャパシタを対応させて、前記トランジスタのソースドレイン領域の一方に前記強誘電体キャパシタの下部電極を、他方には上部電極を接続させて形成された複数の直列接続の単位メモリセルと、

前記上部電極上に夫々開口された2個の上部電極コンタクトと、

前記下部電極上で前記2つの上部電極に挟まれた部位に形成された下部電極コンタクトと、

前記トランジスタのソース、ドレン上に夫々形成されたソース、ドレンコンタクトと、

前記下部電極コンタクトと前記ソース、ドレンコンタクトを接続するように夫々形成された配線溝と、  
前記配線溝および前記各コンタクト内に切れ目なく一体形成された電極構体と、を具備することを特徴とする半導体記憶装置。

【請求項9】 一導電型半導体基板上に形成された複数のトランジスタと、

前記トランジスタの上層に形成され、隣接する2個のトランジスタに対して共通の1個の下部電極と、前記下部電極上に強誘電体薄膜を介して形成された2個の上部電極とでなる2個を1単位とする複数の強誘電体キャパシタと、

前記トランジスタ1個につき1個の強誘電体キャパシタを対応させて、前記トランジスタのソースドレイン領域の一方に前記強誘電体キャパシタの下部電極を、他方には上部電極を接続させて形成された複数の直列接続の単位メモリセルと、

前記上部電極上に夫々開口された2個の上部電極コンタクトと、

前記下部電極上で前記2つの上部電極に挟まれた部位に形成された下部電極コンタクトと、

前記トランジスタのソース、ドレン上に夫々形成されたソース、ドレンコンタクトと、

前記上部電極コンタクトおよび前記下部電極コンタクトと前記ソース、ドレンコンタクトを接続するように夫々形成された配線溝と、

前記配線溝および前記各コンタクト内に切れ目なく一体形成された電極構体と、を具備することを特徴とする半導体記憶装置。

【請求項10】 前記コンタクト近傍において、前記下部電極コンタクトを挟んでいる2つの上部電極が配列された方向の前記配線溝幅が、前記上部電極コンタクトおよび前記下部電極コンタクトと前記ソース、ドレインコンタクトの3種類のコンタクト径以下のサイズであることを特徴とする請求項4乃至9項のいずれか1項に記載の半導体記憶装置。

【請求項11】 前記下部電極コンタクトと前記上部電極との間の距離が上部電極上の配線溝と下部電極上の配線溝との距離よりも小さい寸法になっていることを特徴とする請求項1乃至9項のいずれか1項に記載の半導体記憶装置。

【請求項12】 前記下部電極コンタクトと、前記2つの上部電極が配列された方向の上部電極コンタクト上配線溝ならびに下部電極上配線溝の距離が前記メモリセル形成領域内での最小の設計寸法になっていることを特徴とする請求項1乃至9項のいずれか1項に記載の半導体記憶装置。

【請求項13】 前記ソース、ドレイン領域とコンタクトとの間にプラグ電極を配置したことを特徴とする請求項1乃至9項のいずれか1項に記載の半導体記憶装置。

【請求項14】 一導電型半導体基板上に互いにソースドレインを共有する複数の直列トランジスタを形成する工程と、

前記トランジスタ上に第1の層間膜を堆積し平坦化する工程と、

平坦化後の第1の層間膜上に下部電極、強誘電体薄膜、上部電極を順次堆積して強誘電体キャバシタを形成する工程と、

前記強誘電体キャバシタ上に第2の層間膜を堆積する工程と、

前記第2の層間膜を平坦化する工程と、

前記第2の層間膜に前記上部電極に達する上部電極コンタクト穴を形成するとともに、前記下部電極に達する下部電極コンタクト穴を形成する工程と、

前記第1、第2層間膜に前記ソース、ドレインに達するソース、ドレインコンタクト穴を形成する工程と、

前記上部電極コンタクト穴、下部電極コンタクト穴、ならびにソース、ドレインコンタクト穴に夫々連通する配線溝を形成する工程と、

前記各コンタクト穴および配線溝に導電膜を一体に埋め込み形成する工程と、を含む半導体記憶装置の製造方法。

【請求項15】 一導電型半導体基板上に互いにソースドレインを共有する複数の直列トランジスタを形成する工程と、

前記トランジスタ上に第1の層間膜を堆積し平坦化する

工程と、

平坦化後の第1の層間膜上に下部電極、強誘電体薄膜、上部電極を順次堆積して強誘電体キャバシタを形成する工程と、

前記強誘電体キャバシタ上に第2の層間膜を堆積する工程と、

前記第2の層間膜を平坦化する工程と、

前記第2の層間膜に前記上部電極、下部電極に達する上部電極コンタクト穴、下部電極コンタクト穴を形成する工程と、

前記第2、第1の層間膜に前記ソース、ドレインに達するソース、ドレインコンタクト穴を形成する工程と、前記各コンタクト穴に夫々連通する配線溝を形成する工程と、

前記各コンタクト穴および配線溝に導電膜を一体に埋め込み形成する工程と、を含む半導体記憶装置の製造方法。

#### 【発明の詳細な説明】

##### 【0001】

【発明の属する技術分野】 この発明は、強誘電体キャバシタとトランジスタとを組み合わせて強誘電体メモリセルとして用いる半導体記憶装置とその製造方法に関する。

##### 【0002】

【従来の技術】 トータルチップサイズが縮小できる強誘電体メモリとしてチェイン型強誘電体メモリが提案されている。このメモリは、微細化に適したメモリであるが、COP (Capacitor on Plug) 構造を用いてメモリセルを形成する場合、強誘電体キャバシタの下部電極、上部電極とトランジスタのソース、ドレイン領域を接続するためにメタル配線を形成する必要がある。このメタル配線形成は、例えばアルミニウムなどのメタルスパッタリングを行った後にRIEでエッチング形成するが、コンタクト部との合わせずれに対して余裕を充分に取らないと、エッチング時のマスクの合わせずれにより、コンタクト部で配線の段切れ、強誘電体膜の露出などが生じ、素子間の接続不良やショート、或いは強誘電体キャバシタの特性不良などの不都合が生じ、製品の歩留まりが低下してしまう。

【0003】 図17(a)はこれを説明するための図で、強誘電体キャバシタの下部電極230の上に順次形成された強誘電体膜231、上部電極232a、232b上に層間絶縁膜233を堆積して、その表面を平坦化する。その後、下部電極コンタクト穴234、上部電極コンタクト穴235a、235bをエッチング形成する。

【0004】 これらのコンタクト穴234、235a、235bには、例えばアルミニウムを全面にスパッタリングして第1メタル層236を形成し、全体をレジスト膜237で覆ったあとでマスクを用いてRIEエッチ

シングする。このとき、マスクずれがあると、図示したように、各コンタクト穴234, 235a, 235b内に堆積されていたアルミニウムが一部除去されるとともにコンタクトに続く配線部のアルミニウムも一部除去されてしまい、下部電極230、上部電極232a, 232bと第1メタル層236との間に段切れによるコンタクト不良が生じるとともに配線部の断線が生じるおそれがあり、また、下部電極230に続くコンタクト穴234には強誘電体膜231の側面が露出するために、この強誘電体膜231がダメージを受ける。

【0005】従って、図17(a)の場合には、RIE加工時の各コンタクト穴234, 235a, 235bとマスクとの合わせずれが生じてもRIEがコンタクト穴に及ばないように、充分な余裕を持ってマスク寸法を設計しなければならず、更なる微細化の障害となっている。

【0006】又、このような段切れ等の不都合を回避するために、メタル層として堆積されたメタルを一度溶かしてコンタクト穴を埋めるリフローメタル法を用いることが考えられる。この方法によれば少なくとも強誘電体膜の露出によるダメージは避けられ、配線-コンタクト余裕はあまり大きく取る必要はないが、深いコンタクトを充填するために厚いメタル膜を堆積する必要が在り、このような厚いメタル膜の良好な堆積のためにコンタクトおよび配線の開口幅、即ちアスペクト比を大きく保つ必要があるため、スペースを小さくできないので、微細化が困難という問題がある。

【0007】図17(b)はリフローメタル方法を用いた一例を示す。この場合もマスクの合わせずれは図17(a)と同程度に生じているものとする。しかしながら、RIE処理後の堆積メタル238のリフローにより、合わせずれに起因するコンタクト穴234、235a, 235bの空隙の大部分は埋められ、強誘電体膜231の側面が露出することは避けられる。一方、堆積メタル238の堆積厚みが大きくなると、この堆積厚みと配線幅との比、即ちアスペクト比をあまり大きくできない。このため、堆積メタル238による配線のピッチを詰めることができず、微細化のネックとなっている。

【0008】図18にコンタクトと配線にあわせ余裕を取ったメモリセル配置を、図19にはアルミ・リフローを用いて形成したメモリセルの例を示した。

【0009】図18(a)はメモリセル配置の平面図、図18(b)は図18(a)のb-b線で切断して示す断面図である。図において、半導体基板240内には図示しないソースドレイン領域が形成され、このソースドレイン領域に対して夫々ゲート電極241が形成されてトランジスタが形成される。更に層間絶縁膜242を介してトランジスタの上層には、強誘電体膜244を挟んで下部電極243、上部電極245a, 245bが形成され、夫々コンタクト243c, 245c, 245cが

接続される。更に夫々の上部には配線243w, 245w, 245wが形成されている。各配線243w, 245wの幅は各コンタクト243c, 245cの幅より大きく、合わせずれによる不具合を予め回避できるように設計されている。このため、各配線の間隔はきわめて狭いものとなり、特に、図18中でDで示されている部分が最も狭くなってしまう部分であり、この幅Dが実質的にトランジスタと強誘電体キャパシタとでなる単位メモリセルの配列方向の微細化の限度を決める値となっている。

【0010】更に微細化を進めるためには、配線の最小スペースDを小さくする、コンタクトとのあわせ余裕を小さくするなどの方法があるが、前述のような、微細化の限度の問題点があるため、第1メタル配線をRIEで形成すると微細化に向かない。

【0011】当然、メタルCVDを用いれば、これらの問題は回避できるが、タンクスチタンなどのステップカバレッジが良好なメタルは、水素を含んでいるので、強誘電体膜の特性を劣化させてしまうという問題がある。

【0012】図19はメタルリフロー技術を用いた従来の強誘電体メモリセルの構成を示す図で、(a)は平面図、(b)は図19(a)中のb-b線に沿って切断した断面図を示す。図において、半導体基板250内には図示しないソースドレイン領域が形成され、表面にはゲート酸化膜を介してゲート電極251が略等間隔で形成され、複数のトランジスタが形成される。このトランジスタの上層には層間絶縁膜252を介して強誘電体キャパシタの下部電極253、強誘電体膜254、上部電極255a, 255bが形成される。これらの電極253, 255a, 255bには夫々コンタクト253c, 255cが形成され、その上部には夫々アルミなどのメタル配線253w, 255wが堆積される。

【0013】図19の場合にはメタルリフローによりコンタクト穴は完全に堆積メタル253c, 255cにより充填されているが、そのための堆積層253w, 255wの堆積厚みが大きく、良好なメタル堆積を実現するためにはこれらの堆積層253w, 255wの幅を小さくしてアスペクト比を大きくできない。従って、配線スペースDを小さくできず、トランジスタの配列方向の微細化には限度がある。

【0014】この問題は、下部電極コンタクトと、上部電極コンタクトが近接して存在するチェイン型FRAMセル特有の問題点である。

【0015】

【発明が解決しようとする課題】そこで、この発明は、更に微細化に適した構成を有し、コンタクト部での配線の段切れ、強誘電体膜の露出などによる素子間の接続不良やショート、或いは強誘電体キャパシタの特性不良などの不都合が生じることを防止でき、製品の歩留まりも良好な半導体記憶装置とその製造方法を提供することを

目的とする。

【0016】

【課題を解決するための手段】この発明の半導体記憶装置は、半導体基板上に形成され互いに電流経路が直列に接続された複数のトランジスタと、前記複数のトランジスタに夫々並列接続され、対応して形成されたトランジスタの上層に形成された下部電極と、この下部電極上に形成された強誘電体膜と、この強誘電体膜の上に形成された上部電極とを有してなる複数の強誘電体キャパシタと、前記上部電極に接続された上部電極コンタクトと、前記下部電極に接続された下部電極コンタクトと、前記トランジスタのソース、ドレイン領域に夫々接続された第1、第2のコンタクトと、前記上部電極コンタクトと前記第1のコンタクトとを接続する第1の配線と、前記下部電極コンタクトと前記第2のコンタクトとを接続する第2の配線とを有し、前記第1の配線は前記上部電極コンタクトと前記第1コンタクトとが切れ目なく一体に形成された配線構造を有することを特徴として構成されている。

【0017】更にこの発明の半導体記憶装置の製造方法は、一導電型半導体基板上に互いにソースドレインを共有する複数の直列トランジスタを形成する工程と、前記トランジスタ上に第1の層間膜を堆積し平坦化する工程と、平坦化後の第1の層間膜上に下部電極、強誘電体薄膜、上部電極を順次堆積して強誘電体キャパシタを形成する工程と、前記強誘電体キャパシタ上に第2の層間膜を堆積する工程と、前記第2の層間膜を平坦化する工程と、前記第2の層間膜に前記上部電極に達する上部電極コンタクト穴を形成するとともに、前記下部電極に達する下部電極コンタクト穴を形成する工程と、前記第1、第2層間膜に前記ソース、ドレインに達するソース、ドレインコンタクト穴を形成する工程と、前記上部電極コンタクト穴、下部電極コンタクト穴、ならびにソース、ドレインコンタクト穴に夫々連通する配線溝を形成する工程と、前記各コンタクト穴および配線溝に導電膜を一体に埋め込み形成する工程とを含むことを特徴として構成されている。

【0018】これらの構成によりマスクの合わせずれによる配線の段切れ、高誘電体膜のダメージを未然に防止でき、より微細化が可能である半導体記憶装置とその製造方法を提供出来る。

【0019】

【発明の実施の形態】(第1の実施例)以下、この発明をチェインF R A Mに適用した実施の形態について図面を参照して説明する。

【0020】図1はこの発明により各コンタクトと配線とが一体で形成されたチェインF R A Mに用いられるチェイン型F R A Mセルの回路構成を示す回路図であり、セル2個分の回路を示している。

【0021】図において、トランジスタT r 1のソース

領域S 1は隣接トランジスタT r 2のドレイン領域D 2に接続され、トランジスタT r 1のソースS 1、ドレインD 1間には強誘電体キャパシタC 1が並列接続され、トランジスタT r 2のソースS 2、ドレインD 2間には強誘電体キャパシタC 2が並列接続される。同様にしてトランジスタT r 1のドレインは隣接トランジスタのソースに接続され、トランジスタT r 2のソースは隣接トランジスタのドレインに接続される。このようにして複数のトランジスタが直列接続され、夫々のトランジスタには強誘電体キャパシタが並列接続され、チェイン型F R A Mセルが構成される。なお、トランジスタT r 1、T r 2を含むすべてのトランジスタのゲートにはワードラインWL 1、WL 2を含む複数のワードラインが接続される。

【0022】図2は図1に示した回路に対応する単位メモリセル構造を示す図で、同図(a)は平面図、(b)は図1(a)のb-b線に沿って切断して示す断面図、同図(c)はc-c線に沿って切断して示す断面図である。

【0023】図2の強誘電体メモリセルは一導電型、例えばn型半導体基板10上に形成される。半導体基板10の表面領域は素子分離層10Sにより複数の素子形成領域に分離され、この素子形成領域には夫々ゲート電極11を挟む形でその下方にトランジスタT r 1、T r 2、T r 3…のソースドレイン領域10A 1、10A 2、10A 3…がチェイン配列方向に形成される。これらのソースドレイン領域10A 1、10A 2、10A 3…は、図2で夫々点線で囲んで示されており、ゲート電極11下方に互いにチャネル長に相当する所定間隔を置いて形成され、各々のソースドレイン領域10A 1、10A 2、10A 3…の境界部に形成されるチャネルに対して夫々ゲート電極11を挟んでトランジスタT r 1、T r 2…が形成される。

【0024】トランジスタT r 1、T r 2に接続されるワード線を形成するゲート電極11の上層には、更に層間絶縁膜12を介して強誘電体キャパシタC 1、C 2が形成される。すなわち、層間絶縁膜12上には強誘電体膜14を挟んで下部電極13、2個の上部電極15a、15bが形成され、夫々コンタクト部13c、15c、15cが形成される。更に夫々の上部には配線13w、15w、15wが形成されている。なお、以下の説明では、コンタクト穴にメタルが充填された状態をプラグ、即ちコンタクト部と称する。

【0025】ここでは、マスクの合わせずれにより各配線13w、15wの幅は各コンタクト部13c、15cの幅より大きく、かつ夫々コンタクト部13c、15cに対して右側にずれているように示しているが、このずれが無ければ、各配線13w、15wの幅は各コンタクト13c、15cの幅と等しくなる。

【0026】下部電極13は2個の上部電極15a、1

5 b に対して共通に用いられるので、コンタクト部 1 3 c は図 1 の回路におけるノード N 1 に対応し、コンタクト部 1 5 c はそれぞれ強誘電体キャバシタ C 1, C 2 を介して図 1 のノード N 2, N 3 に対応する。

【0027】コンタクト 1 3 c は配線部 1 3 w を介してコンタクト部 1 7 に接続され、このコンタクト 1 7 部はソースドレイン領域 1 0 A 1 に接続される。このコンタクト部 1 7 は図 1 のトランジスタ T r 1, T r 2 の接続点ノード N 4 に相当し、夫々トランジスタ T r 1 のソース S 1, トランジスタ T r 2 のドレイン D 2 に共通接続される。従って、領域 1 0 A 1 はソース領域、ドレイン領域として共通に用いられるので、ここではソースドレイン領域と称している。

【0028】コンタクト部 1 5 c は隣接する配線 1 5 w を介して強誘電体キャバシタ C 3 の上部電極 1 5 a-1 に接続される。即ち、上部電極 1 5 b と上部電極 1 5 a-1 とは配線 1 5 w を介して隣接するソースドレイン領域 1 0 A 2 に形成されたコンタクト 1 8 に接続され、これにより、図 1 に示したようにトランジスタ T r 2 に並列に強誘電体キャバシタ C 2 が接続された構成となる。

【0029】他方の強誘電体キャバシタ C 1 側のコンタクト 1 5 c も同様にして配線 1 5 w を介して隣接するソースドレイン領域 1 0 A 0 に形成された図示しないコンタクトに接続され、図 1 に示したようにトランジスタ T r 1 に並列に強誘電体キャバシタ C 1 が接続された構成となる。

【0030】トランジスタ T r 3 に接続されるワード線 1 1 の上層には、このトランジスタ T r 3 に並列接続される他の強誘電体キャバシタ C 3 の下部電極 1 3-1、強誘電体膜 1 4-1、上部電極 1 5 a-1 が形成される。この下部電極 1 3-1 はトランジスタ T r 1, T r 2 の上層に形成された下部電極 1 3 に対してトランジスタ T r 1, T r 2 の配列された方向に沿って所定間隔を置いて配置される。

【0031】上記ソースドレイン領域 1 0 A 1, 1 0 A 2 が形成された素子形成領域に対してこれと平行に形成された隣接する素子形成領域にも同様のチェイン F R A M セルが形成されるが、強誘電体キャバシタを構成する下部電極がちょうど 1 ピッチ分ずれて形成される。即ち、隣接する下部電極 1 3, 1 3-1 の間に形成された空隙に対向して他の下部電極 2 3-1 が配置され、この下部電極 2 3-1 から所定距離離れた位置に他の下部電極 2 3 が配置される。この下部電極 2 3, 2 3-1 の間の間隙はちょうど前記下部電極 1 3 に対向しており、全体としてちょうど千鳥格子状に下部電極の配置パターンが形成されている。

【0032】以上説明した構成により、設計時に合わせ余裕を考慮に入れる必要が無いので面積を微細化できるとともに、キャバシタへのコンタクトと配線ならびに拡散層へのコンタクトが一体で形成されるので、配線とコ

ンタクトとの接続抵抗が実質的にゼロとなり、動作速度、消費電力などの点で有効である。

【0033】以下、図 2 に示した実施の形態の製造工程を図 3 ~ 図 11 を参照して詳細に説明する。

【0034】最初に、図 3 に示すように、N 型半導体基板 1 0 内に図 2 の切断線 c-c の方向に所定の間隔で素子分離層 1 0 S を形成し、素子分離層 1 0 S の間に素子形成領域 A を形成する。この素子形成領域 A には P 型の不純物が注入され、ソースドレイン領域 1 0 A 1, 1 0 A 3 が形成される。

【0035】続いて、図 2 の切断線 c-c に沿った方向に形成された、後で説明するソースドレイン領域間のチャネル領域に対応する位置に沿って図 4 (a) に示すように複数のゲート電極 1 1 が形成され、全体を層間絶縁膜 1 2 で覆い、図 4 (a), (b) に示すように表面を CMP により平坦化する。

【0036】次に、層間絶縁膜 1 2 上に全体にアルミ膜および強誘電体膜を堆積し、図 5 (a), (b) に示すように、レジスト露光後のエッチングによりトランジスタ T r 1, T r 2 形成予定位置の上方に矩形状の下層電極 1 3 を、トランジスタ T r 3 形成予定位置の上方に同じく矩形状の下層電極 1 3-1 を形成する。これらの下層電極の上には夫々強誘電体膜 1 4, 1 4-1 を形成する。

【0037】続いて、図 6 に示すように、上部電極 1 5 a, 1 5 b, 1 5 a-1 を形成する。この上部電極 1 5 a, 1 5 b, 1 5 a-1 の形成時には、たとえば図 6 (a) に示すように、強誘電体膜 1 4 の表面と同じ高さまでレジスト R を埋め込み、この状態で全面にアルミ膜を堆積させ、エッチングによりゲート電極 1 1 に夫々対応する位置に上部電極 1 5 a, 1 5 b, 1 5 a-1 を形成する。

【0038】次に、これら形成された下部電極 1 3, 1 3-1、強誘電体膜 1 4, 1 4-1、上部電極 1 5 a, 1 5 b, 1 5 a-1 全体を層間絶縁膜 2 5 で覆い、その表面を CMP により平坦化する。

【0039】このようにして、ソースドレイン領域 1 0 A 1, 1 0 A 3、ゲート電極 1 1、下部電極 1 3, 1 3-1、上部電極 1 5 a, 1 5 a-1, 1 5 b を加工し、強誘電体キャバシタ上に層間膜 2 5 を形成し、平坦化した後、図 8 に示すように、層間膜 2 5 に上部電極コンタクト穴 1 5 c h, 1 5 c h-1 および下部電極コンタクト穴 1 3 c h を所定のマスクを用いて R I E 法により開口する。上部電極コンタクト穴 1 5 c h は夫々の上部電極 1 5 a, 1 5 b, 1 5 a-1 の略中央部に形成され、下部電極コンタクト穴 1 3 c h は 2 個の上部電極コンタクト穴 1 5 c h の略中間位置に形成される。これらの位置関係は、下部電極 1 3 と 1 ピッチ分オフセットして形成されている下部電極 2 3-1 についても同様になる。

【0040】次に、図 9 (c) に示すように、全面にレ

## 13

ジストを塗布し、写真触刻法により所定のパターンを形成する。その後、非等方性エッティング法、例えばR I E法などを用いてコンタクト孔17h、18hを形成する。その際、すでに開口された図9(b)の強誘電体キャパシタの電極コンタクト穴13ch、15ch、15ch-1にはレジストが形成されているので、何らの影響も受けない。

【0041】次に、図10に示したように夫々のコンタクト穴13ch、15ch、15ch-1、17h、18hに連通する配線溝13wh、15whを同様にして写真触刻法を用いて形成する。このとき形成される配線溝13wh、15whの深さは、例えば夫々すでに形成されている電極コンタクト穴13ch、15ch、15ch-1の深さの半分程度とすればよい。

【0042】最後に、図11(b)、(c)に示すように、たとえばリフローアルミなどを用い、厚いアルミ膜をコンタクト穴13ch、15ch、15ch-1、17h、18hおよびこれらに連通する配線溝13wh、15wh内に一体構成で堆積させて完全に埋め込み、C MP法により表面加工して、図2の実施の形態のチェイン型強誘電体メモリセル構造が完成する。

【0043】このように、この実施の形態では、強誘電体キャパシタの下部、上部電極に至るコンタクト穴13ch、15ch、15ch-1およびトランジスタのソースドレイン領域に至るコンタクト穴17h、18hを形成する。その後で、続けてこれらに連通する配線溝13wh、15whを形成し、最後にこれらのコンタクト穴、配線溝すべてを一括して一体化したメタルにより充填するから、コンタクト穴と配線溝との位置ずれの余裕をゼロとして設計しても、コンタクト部での配線の段切れ、強誘電体膜の露出などによる素子間の接続不良やショート、或いは強誘電体キャパシタの特性不良などの不都合が生じることがなく、微細化に好適であり、製品の歩留まりも良好となる。

【0044】特に、R I E法を用いないので、第1配線加工後の回復不可能な頃誘電体膜の特性劣化が無いことは製品の歩留まり向上に大きく貢献する。

【0045】また、配線溝の深さで配線の膜厚が決まるので、配線間隔を自由に短縮でき、チェインF R A Mにおいては、上部電極と下部電極コンタクトとの間隔は原理的に合わせ余裕分まで縮めることができるとなり、チェイン配列方向の寸法を著しく短縮できる。

【0046】以上説明した製造方法では、図8の工程で強誘電体キャパシタの電極へのコンタクト穴13ch、15ch-1、15chを形成した後で図9の工程にてトランジスタのソースドレイン領域へのコンタクト穴17h、18hを形成し、次に図10の工程で配線溝13wh、15whを形成している。この方法の代わりに、トランジスタのソースドレイン領域へのコンタクト穴を開ける前に配線溝を形成するようにしてもよい。

10

【0047】(第2の実施例)図12はその工程を示す。図12の工程までは図3乃至図8の工程と同じである。図8の工程で強誘電体キャパシタの電極へのコンタクト穴13ch、15ch-1、15chを形成した後、図12の工程へ移行して、先に配線溝13wh、15whを形成する。

【0048】ついで、ソースドレイン領域へのコンタクト穴17h、18hを開口するが、これは図10と同じであるので説明は省略する。

【0049】この第2の実施例の方法を用いると第1の実施例と同様の効果が得られる。更に、ソースドレインコンタクト穴17h、18hの開口時には、上部電極コンタクト穴15ch、下部電極コンタクト穴13chは完全にフォトレジストで覆われているので、強誘電体キャパシタへのR I Eダメージを防止することが可能となる。

【0050】尚、第1の実施例の製造方法においても、上部電極コンタクト穴15ch、下部電極コンタクト穴13ch内にレジストを適度に埋め込んでおけば同じ効果が期待できるが、特に上部電極コンタクト穴15chはアスペクトを小さくしたいので、レジストなどの埋め込みには、不向きであり、この第2の実施例の製造方法がより完全に保護できる方法である。なお、以上の第1、第2の実施例の製造方法ではいずれも上部電極コンタクト穴15ch、下部電極コンタクト穴13chを先に開口し、配線溝13wh、15whを後で形成しているが、この順番は逆になんともよい。

【0051】図2の実施例では、ソースドレインコンタクト17、18は図9の工程で第1、第2の層間絶縁膜12、25を貫通して深いコンタクト穴17h、18hを形成し、図11の工程で配線溝13wh、15whとともに一度にメタル堆積を行っているが、このソースドレインコンタクト穴17h、18hは強誘電体キャパシタ電極のコンタクト穴13ch、15chに比べると非常に深く、アスペクト比も大きいので、ソースドレインコンタクト穴13ch、15chへのメタルの埋め込みが比較的困難である。

【0052】(第3の実施例)図13はこの点を改良したこの発明の他の実施の形態を示す図であり、図13(c)に示したように、ソースドレインコンタクト17、18の直下にプラグ電極30を配置したことを特徴とする。他の部分はすべて図2の実施の形態と同じであり、構成の説明は省略する。図13に示した例では、プラグ電極30は第1の層間絶縁膜12内に形成され、これにより、その後のソースドレインコンタクト穴17h、18hへのメタルの埋め込みが容易になる他、第1、第2の実施例の効果も得られるることは勿論である。

【0053】以下に、図13に示す第3の実施例のプラグ電極30を持つ強誘電体メモリセルの製造方法を説明する。

20

30

40

50

【0054】このプラグ電極30は、前記説明した製造方法の図3の工程から図4の工程に移る際に形成される。すなわち図4の工程に相当する図14の工程において、例えば、第1の層間絶縁膜12の形成の前に基板10上にプラグ電極30を形成し、その後層間絶縁膜12を堆積して表面CMP処理を行うことにより形成できる。或いは、層間絶縁膜12を形成後、プラグ電極用のコンタクト穴を形成し、ここにメタルを堆積、充填してプラグ電極30を形成し、再度層間絶縁膜12を堆積してCMP処理するようにしてもよい。

【0055】その後の工程はプラグ電極30が内部に形成されている点が異なるだけで図5乃至図8までの工程と同じである。図9の工程では、ソースドレイン領域10A1, 10A3に至る深いコンタクト穴17h, 18hを開けているが、図14の工程に続く工程では図15に示すように、コンタクト穴17h, 18hのRIEのエッチングはすでに形成されているプラグ電極30の位置で停止する。このため、RIEによりソースドレイン領域10A1, 10A3が悪影響を受けることはない。

【0056】なお、以上の実施例と同様に、キャパシタの電極コンタクト孔と配線溝との合わせ余裕を考慮に入れる必要がないこと、コンタクトと配線とを一体で形成できること等の効果が有ることは勿論である。

【0057】図15の工程の後、図10で説明したと同様に配線溝13wh, 15whを形成してから、コンタクト穴13ch, 15chと配線溝13wh, 15whとに同時にメタル堆積を行い、図13のように完成させる。

【0058】尚、第1の実施の形態の第2の製造方法と同様に、図8の工程から図9の工程に進まずに図12の工程に対応する図16の工程に進み、ソースドレインコンタクト穴を開口する前に、先に配線溝13wh, 15whを形成するようにしても良いことは勿論である。図16の工程の後は図15の工程と同様にしてソースドレインコンタクト穴17h, 18hをRIEによるエッチングで開口し、ついでコンタクト穴13ch, 15chと配線溝13wh, 15whとに同時にメタル堆積を行い、図13のように完成させる。

【0059】

【発明の効果】以上詳述したようにこの発明によれば、ソースドレインコンタクト穴および配線溝を形成する際に第1配線加工後にRIEを用いないで、最後にまとめてメタル堆積によりコンタクトおよび配線を形成するので、コンタクトと配線とは切れ目無く一体の構成となり、微細化に適した構成を有し、コンタクト部での配線の段切れ、強誘電体膜の露出などによる素子間の接続不良やショート、或いは強誘電体キャパシタの回復不能な特性不良などの不都合が生じることを防止でき、製品の歩留まりも良好な半導体記憶装置とその製造方法を提供

することが出来る。

【図面の簡単な説明】

【図1】チェイン型FRAMメモリセルの回路構成図。

【図2】この発明の第1の実施の形態の構成を示す平面図および断面図。

【図3】前記第1の実施の形態のチェイン型FRAMメモリセルの製造方法の一工程を示す図。

【図4】図3の次の工程を示す図。

【図5】図4の次の工程を示す図。

【図6】図5の次の工程を示す図。

【図7】図6の次の工程を示す図。

【図8】図7の次の工程を示す図。

【図9】図8の次の工程を示す図。

【図10】図9の次の工程を示す図。

【図11】図10の次の工程を示す図。

【図12】前記第1の実施の形態のチェイン型FRAMメモリセルの他の製造方法の一工程を示す図。

【図13】この発明の第2の実施の形態のチェイン型FRAMメモリセルの構成を示す図。

【図14】前記第2の実施の形態のチェイン型FRAMメモリセルの製造方法の一工程を示す図。

【図15】前記第2の実施の形態のチェイン型FRAMメモリセルの製造方法の他の工程を示す図。

【図16】前記第2の実施の形態のチェイン型FRAMメモリセルの他の製造方法の一工程を示す図。

【図17】従来のFRAM型メモリセルの強誘電体キャパシタの電極コンタクト形成時のアルミ-RIE加工の問題点を示す図。

【図18】従来のFRAM型メモリセルの強誘電体キャパシタの電極コンタクトに接続される配線部の微細化における問題点を示す図。

【図19】従来のFRAM型メモリセルの強誘電体キャパシタの電極コンタクトに接続される配線部の微細化における他の問題点を示す図。

【符号の説明】

T r 1, T r 2, T r 3…トランジスタ

C 1, C 2…強誘電体キャパシタ

10A1, 10A2, 10A3…ソースドレイン領域

10S…素子分離層

11…ゲート電極

12, 25…層間絶縁膜

13…下部電極

13c…下部電極コンタクト

13w…下部電極配線

14…強誘電体膜

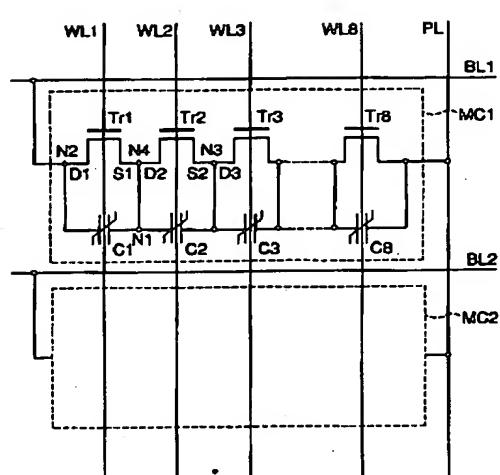
15a, 15b…上部電極

15c…上部電極コンタクト

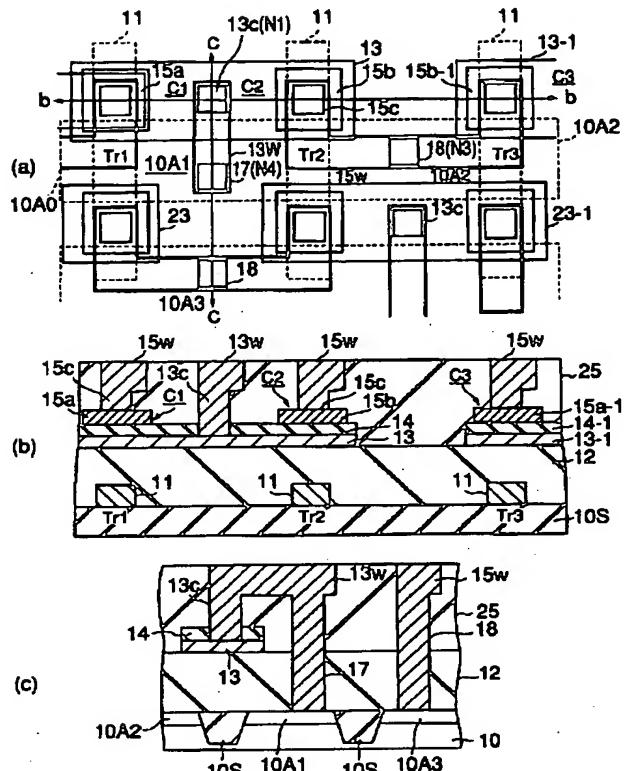
15w…上部電極配線

17, 18…ソースドレインコンタクト

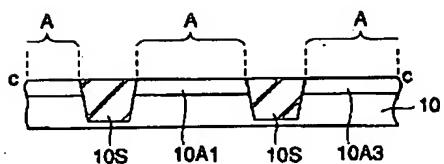
【图1】



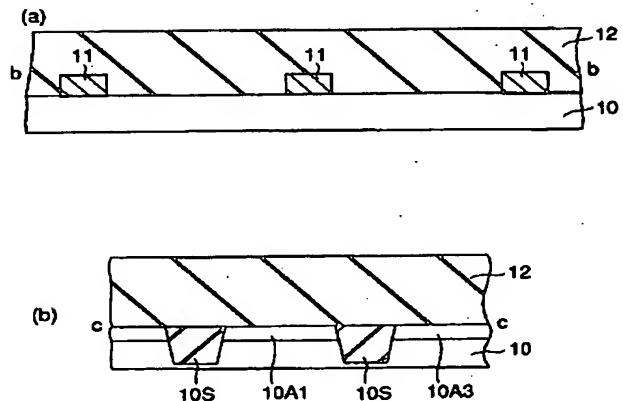
【図2】



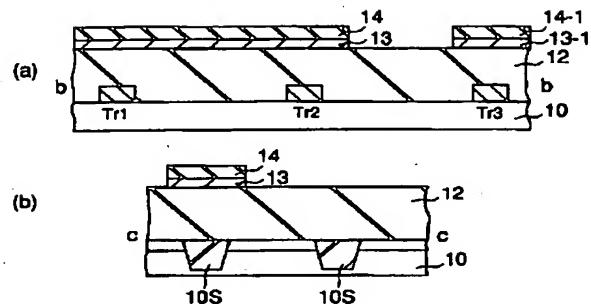
【図3】



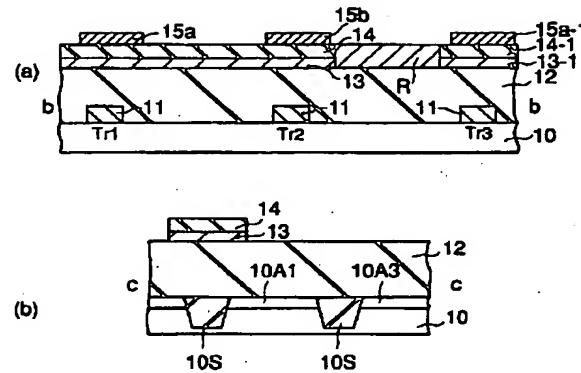
【図4】



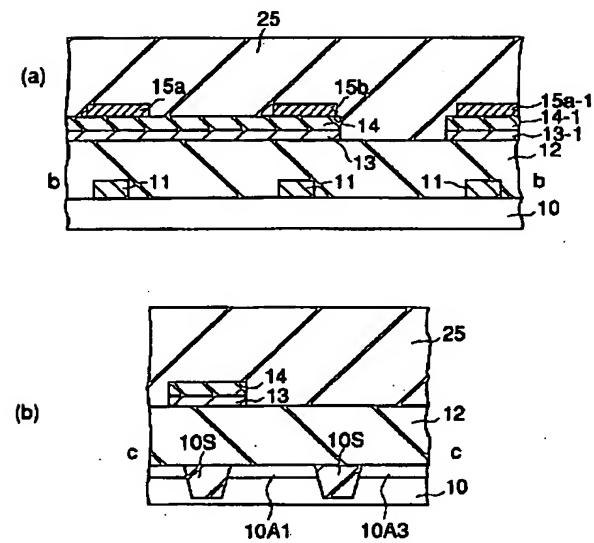
【図5】



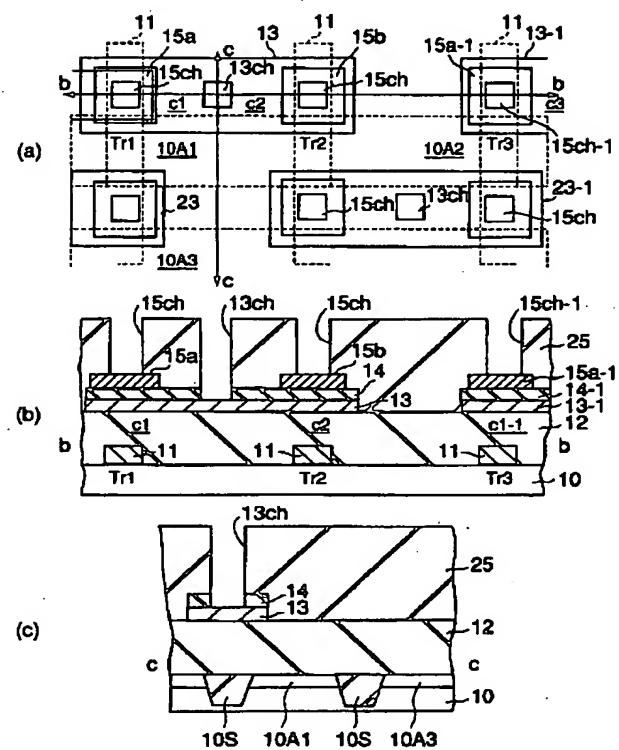
【図6】



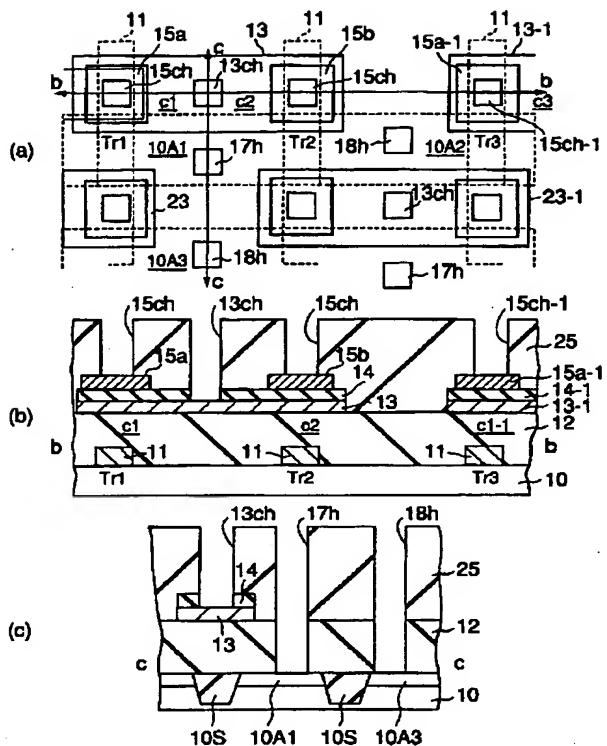
【図7】



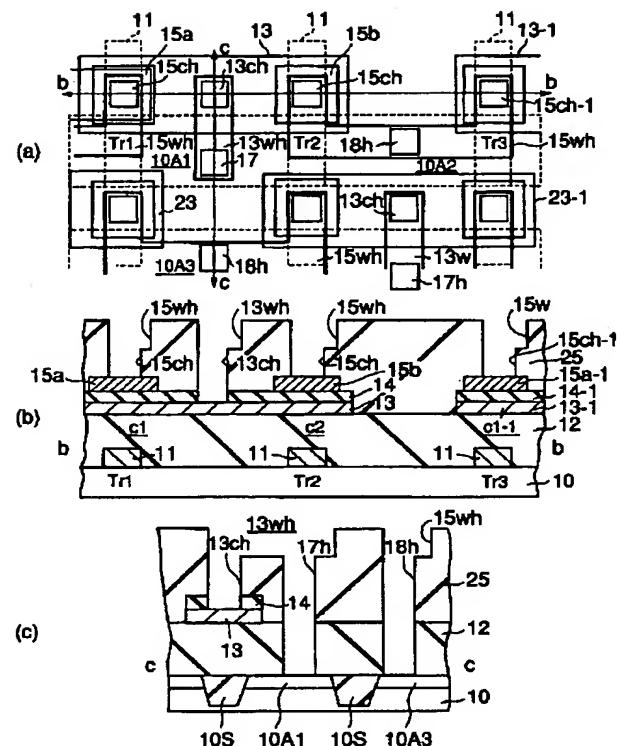
【図8】



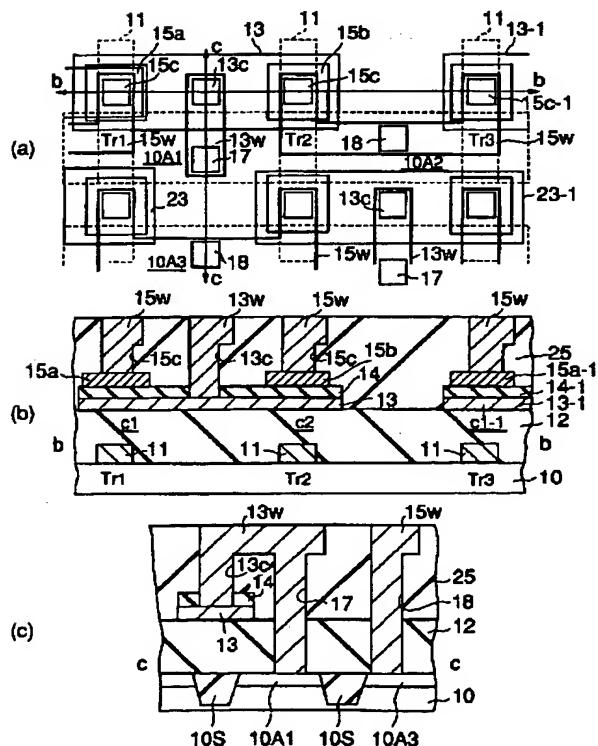
【図9】



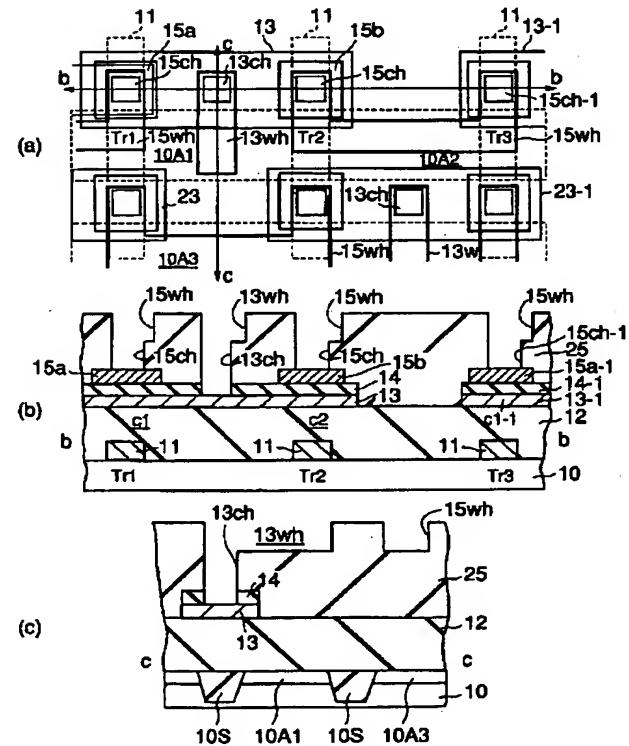
【図10】



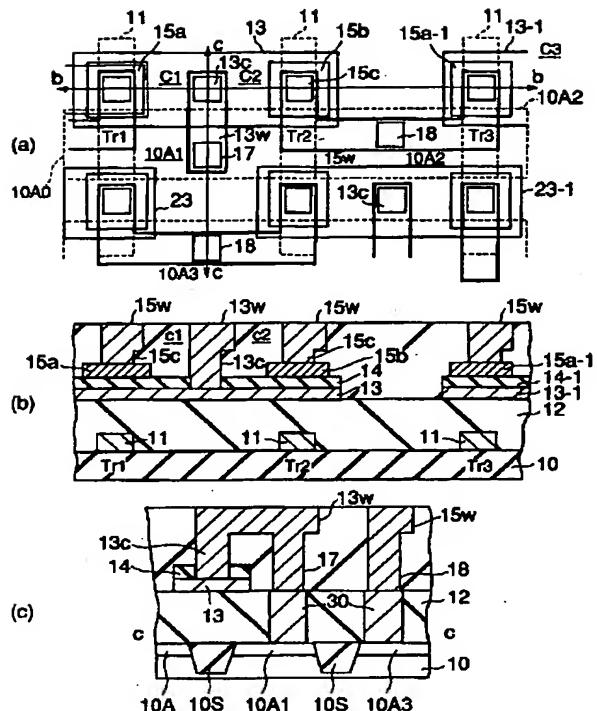
【図11】



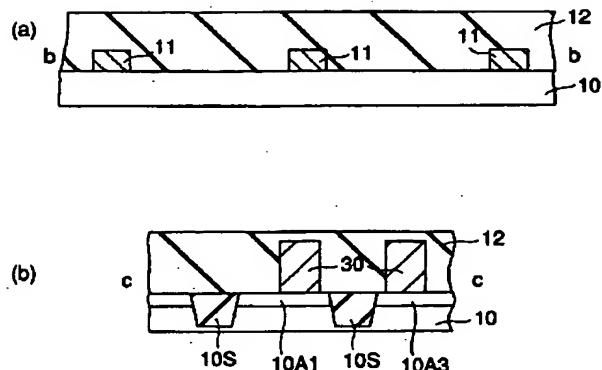
【図12】



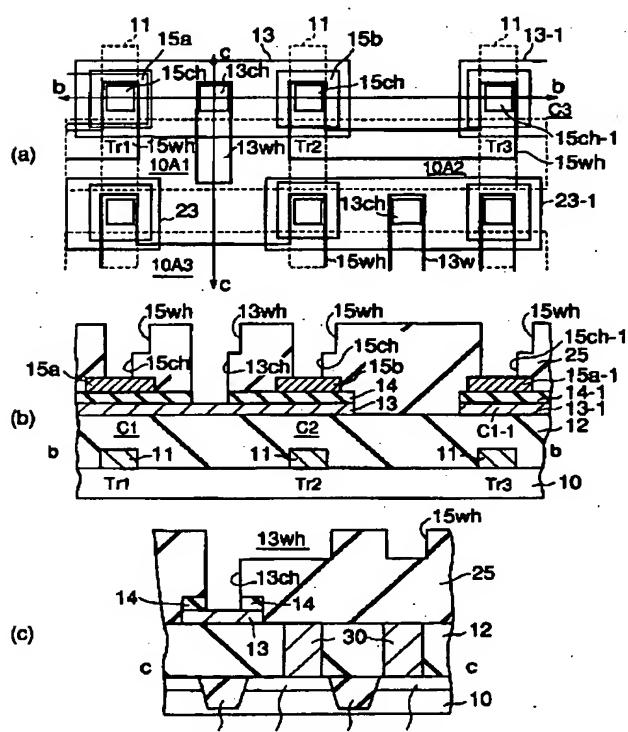
【図13】



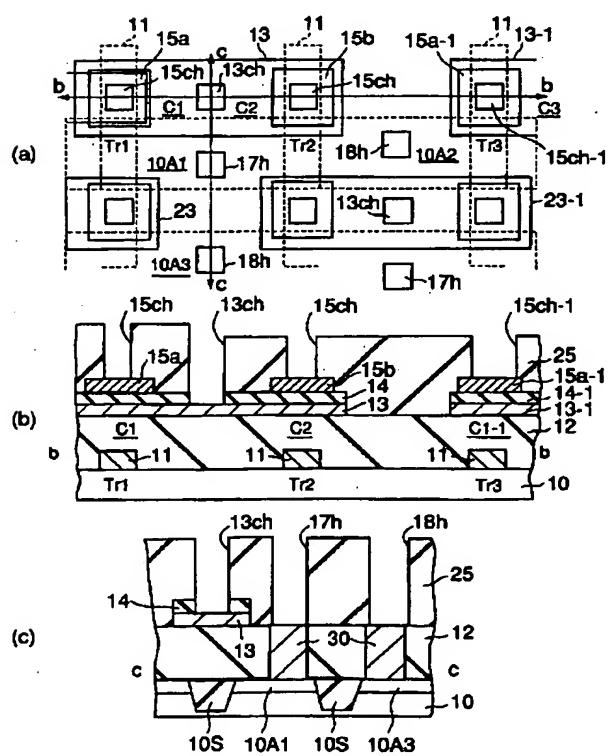
【図14】



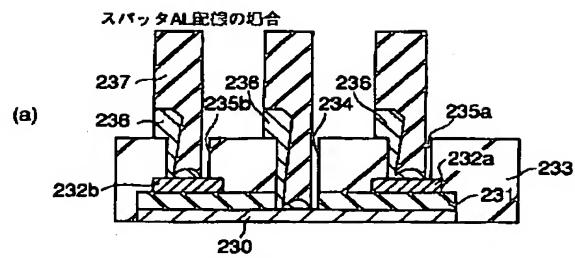
【図16】



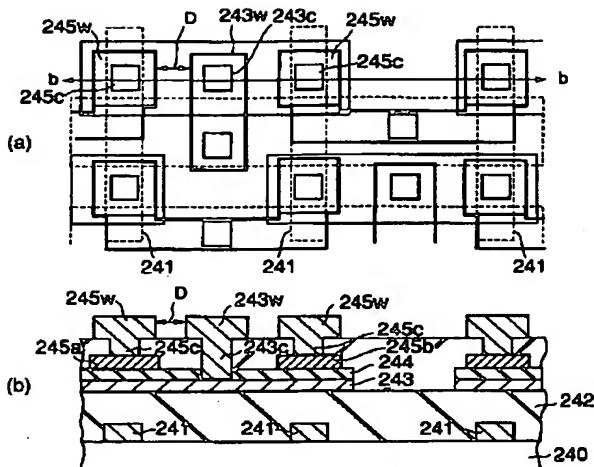
【図15】



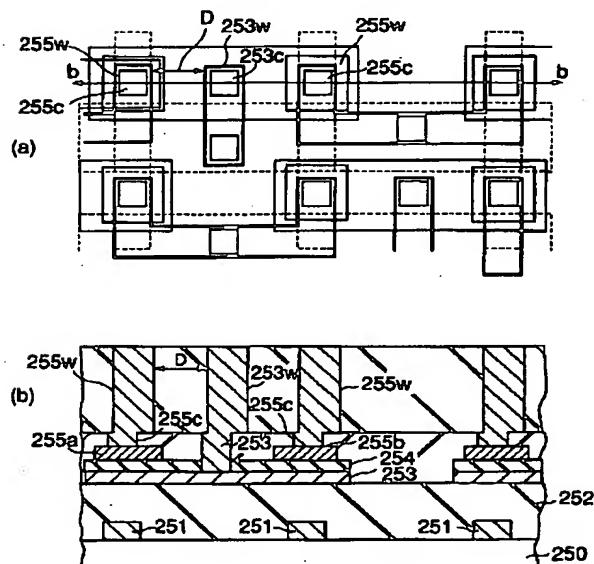
[図17]



【图 18】



### 【図19】



## フロントページの続き

(51) Int. Cl. 7  
H O 1 L 29/792

## 識別記号

F I

### テーマコート (参考)